

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55—145481

⑤ Int. Cl.³

H 04 N 5/30

// H 01 L 31/00

識別記号

庁内整理番号

6940—5C

6655—5F

⑬ 公開 昭和55年(1980)11月13日

発明の数 3

審査請求 未請求

(全 22 頁)

⑭ MOS イメージ・センサ

① 特 願 昭54—52621

② 出 願 昭54(1979)4月28日

③ 発 明 者 坂根敏夫
川崎市中原区今井上町53番地キ
ヤノン株式会社小杉事業所内

④ 発 明 者 恒川十九一

川崎市高津区下野毛770番地キ
ヤノン株式会社玉川事業所内

⑤ 出 願 人 キヤノン株式会社

東京都大田区下丸子3丁目30番
2号

⑥ 代 理 人 弁理士 丸島儀一

明 細 書

1. 発明の名称

M O S イメージ・センサ

2. 特許請求の範囲

(1) 複数個の受光素子のライン状配列を有し、各受光素子の積分情報を信号読み出し用アドレス手段に依る信号読み出し用ゲート、スイッチの制御に依つて時系列的に読み出す様にしたライン型 M O S イメージ・センサに於て、上記受光素子の夫々に対応して、リセット源に接続されたりリセット用ゲート、スイッチを設けると共に、該リセット用ゲート、スイッチを制御するためのリセット用アドレス手段を設けて、該リセット用アドレス手段に依る該リセット用ゲート、スイッチの制御に依つて任意のタイミングで各受光素子のリセットを行ない得る様にしたことを特徴とするライン型 M O S イメージ・センサ。

(2) 複数個の受光素子のマトリクス状配列を有し、各受光素子の積分情報を信号読み出し用の X 方向及び Y 方向アドレス手段の共働に依る信号読み出し用ゲート、スイッチの制御に依つて時系列的に読み出す様にしたエリア型 M O S イメージ・センサに於て、上記受光素子の夫々に対応して、リセット源に接続されたりリセット用ゲート、スイッチを設けると共に、該リセット用ゲート、スイッチを上記信号読み出し用 X 方向アドレス手段と共働して制御するためのリセット用 Y 方向アドレス手段を設けて、該信号読み出し用 X 方向アドレス手段と、該リセット用 Y 方向アドレス手段との共働に依る該リセット用ゲート、スイッチの制御に依つて任意のタイミングで各受光素子のリセットを行ない得る様にしたことを特徴とするエリア型 M O S イメージ・センサ。

(3) 複数個の受光素子のマトリクス状配列を有し、各受光素子の積分情報を信号読み出し用の X 方向及び Y 方向アドレス手段の共働に依る信

号読み出し用ゲート。スイッチの制御に依つて時系列的に読み出す様にしたエリア型MOSイメージセンサに於て、上記受光素子の夫々に対応して、リセット源に接続されたりリセット用ゲート、スイッチを設けると共に、該リセット用ゲート、スイッチを制御するためのリセット用のX方向及びY方向アドレス手段を設けて、該リセット用のX方向及びY方向アドレス手段の共働に依る該リセット用ゲート、スイッチの制御に依つて任意のタイミングで各受光素子のリセットを行ない得る様にしたことを特徴とするエリア型MOSイメージセンサ。

3 発明の詳細な説明

本発明は、MOSイメージセンサ、即ち、複数個の受光素子の配列を有し、各受光素子の積分情報を信号読み出し用アドレス手段に依る信号読み出し用ゲート、スイッチの制御に依つて時系列的に読み出す様にしたライン型及びエリア型MOSイメージセンサに関し、更に詳し

3

可変と為して、このキャリア蓄積パルスの幅を調整することに依り積分時間（この場合はキャリア蓄積時間）を調整する様にしたもの（これは例えば、特開昭50-62518号、同50-92635号等に依つて提案されている）などがある。

ところでこれ等従来の提案に係る積分時間の調整方式にあつては以下の様な不都合がある。例えば前者のクロック周波数を変化せしめる方式にあつては、クロック周波数（即ち、走査周波数）を変化させるとこれに応じて走査信号の出力時間が自ずと変化してしまうものであるために、例えば固体撮像装置をTVカメラ等の撮像手段として利用している様な場合には、走査信号の出力時間を常に一定にする必要があるため、斯かる方式は明らかに不適であり、又、これと共に、積分時間を短縮するには走査クロック周波数を高くしなければならない訳であるが、一般に良く知られている様に、走査クロック周波数を高くすると信号の読み出し効率が悪化す

5

くは、その積分時間の制御のための改良に係るものである。

MOSイメージセンサ、CCDイメージセンサ或いはBBDイメージセンサ等の所謂固体撮像装置にあつては、光情報の積分時間を可変とすることにより入射光に対する応答特性、即ち、ダイナミックレンジを拡大して、そのレベルが広範囲に亘つて変化する入射光に対して、常に適正なレベルの走査出力（撮像出力）を得ることが出来るものであることは従来から知られて居り、そしてこの積分時間の制御の方式についても既に種々提案されている。例えばその代表的な例としては、固体撮像装置に附与すべきドライブ、クロックの周波数を可変と為して、このクロック周波数を調整することに依り積分時間を調整する様にしたもの（これは例えば、特開昭51-46019号に依つて提案されている）や、或いは、特にCCDイメージセンサ又はBBDイメージセンサ用として、受光部に附与すべきキャリア蓄積パルスの幅を

4

るために無暗に周波数を高くすることは出来ず、従つて、その調整可能な時間には特に短時間側に於て大きな限界があり、又、走査クロック周波数を高くするとそれに応じて電源消費量が増大するために電源消費の面でも不利がある。一方、後者のキャリア蓄積パルスの幅を変化せしめる方式にあつては、上に挙げた様な不都合は一掃されるものであるが、しかし、この方式はCCDイメージセンサ、或いはBBDイメージセンサなどの所謂、電荷転送型イメージセンサに対してのみ適用可能なものであつて、MOS型イメージセンサには全く適用出来ないものである。

本発明は、以上に述べた様な事情に鑑みて為されたもので、特にMOSイメージセンサとして、極く僅かな改変に依り、その光情報の積分時間を、上に挙げた様な不都合を伴うことなく、即ち、特に短時間に於て限界を有することなく、いくらでも短縮することが出来、しかもその場合、信号の読み出し効率の悪化、電源

6

消費電の増大等の不都合を伴うこともなく、又一方で長時間測への調整についても、例えばこれをTVカメラ等の撮像手段に利用した場合でも、1フィールド時間又は1フレーム時間の範囲内で任意に調整出来、又これと共に走査信号の出力時間を変化させることなく調整出来、総じて走査出力に何等悪影響を及ぼすことなしに積分時間を広い時間帯に亘つて任意に、しかも簡単に調整することが出来る該MOSイメージセンサの新規な形態を提供することを目的とするものである。そして斯かる目的を達成するに当り、本発明は複数個の受光素子の配列を有し各受光素子の積分情報を信号読み出し用アドレス手段に依る信号読み出し用ゲートスイッチの制御に依つて時系列的に読み出す様にしたMOSイメージセンサとして、上記受光素子の夫々に対応してリセット源に接続されたリセット用ゲートスイッチを設けると共に、該リセット用ゲートスイッチを制御するためのリセット用アドレス手段を設けて、該リセット用アドレス手

段又はこれと上記信号読み出し用アドレス手段との共働に依る該リセット用ゲートスイッチの制御に依つて任意のタイミングで各受光素子のリセットを行ない得る様にしたことを特徴とするものである。

即ち、具体的に述べれば、以下に説明する実施例からも明らかな様に、本発明によれば、先ず、複数個の受光素子のライン状配列を有し、各受光素子の積分情報を信号読み出し用アドレス手段に依る信号読み出し用ゲートスイッチの制御に依つて時系列的に読み出す様にしたライン型MOSイメージセンサとして、上記受光素子の夫々に対応してリセット源に接続されたリセット用ゲートスイッチを設けると共に、該リセット用ゲートスイッチを制御するためのリセット用アドレス手段を設けて、該リセット用アドレス手段に依る該リセット用ゲートスイッチの制御に依つて任意のタイミングで各受光素子のリセットを行ない得る様にした該ライン型MOSイメージセンサの新規な形態が提案される。

又、本発明に依れば、複数個の受光素子のマトリクス状配列を有し、各受光素子の積分情報を信号読み出し用のX方向及びY方向アドレス手段の共働に依る信号読み出し用ゲートスイッチの制御に依つて時系列的に読み出す様にしたエリア型MOSイメージセンサとして、上記受光素子の夫々に対応して、リセット源に接続されたリセット用ゲートスイッチを設けると共に該リセット用ゲートスイッチを上記信号読み出し用X方向アドレス手段と共働して制御するためのリセット用Y方向アドレス手段を設けて、該信号読み出し用X方向アドレス手段と該リセット用Y方向アドレス手段との共働に依る該リセット用ゲートスイッチの制御に依つて任意のタイミングで各受光素子のリセットを行ない得る様にした該エリア型MOSイメージセンサの新規な形態、或いは又、上記リセット用ゲートスイッチを制御するためのリセット用のX方向及びY方向アドレス手段を設けて、該リセット用のX方向及びY方向アドレス手段の共働に依

る該リセット用ゲートスイッチの制御に依つて任意のタイミングで各受光素子のリセットを行ない得る様にした該エリア型MOSイメージセンサの新規な形態が提案される。

以下、本発明の好ましい実施例について添附の図面を参照して説明する。

先ず第1図は本発明を適用可能な従来周知のライン型MOSイメージセンサを示すもので、 $D_1 \sim D_n$ はライン状に配列された受光素子としてのフォトダイオード、 $A_1 \sim A_m$ はそのソースが夫々これ等フォトダイオード $D_1 \sim D_n$ の各々に接続された信号読み出し用ゲートスイッチとしてのMOSアナログスイッチで、いずれもそのドレインは端子TLを介して負荷抵抗RLに接続されて居り、そして該負荷抵抗RLは各フォトダイオードに対する充電用の電源VPに接続されている。SHは上記アナログスイッチ $A_1 \sim A_m$ の夫々の開閉を制御するための信号読み出し用アドレス手段としてのnビット構成のMOSシフトレジスタで、その出力 $0_1 \sim 0_n$ は夫

夫該アナログスイッチ $AS_1 \sim AS_n$ の各々のコントロールゲートに附与される様になされている。尚、該シフトレジスタ SH はここでは2相のドライブクロック ϕ_1, ϕ_2 (第2図々示) に依つて駆動される2相駆動型のものである。又、改めて断るまでもなく以上の構成エレメントは同一半導体基板上にMOS構造で形成されているものである。

さて斯かる構成のライン型MOSイメージセンサにあつては、各フォトダイオード $D_1 \sim D_n$ が完全に充電された状態でその各々に光が入射すると、各フォトダイオード $D_1 \sim D_n$ の充電々荷はその各々の入射光量に応じて放電する様になる訳であるが、ここで、シフトレジスタ SH にドライブクロック ϕ_1, ϕ_2 (第2図々示) を附与している状態で適宜のタイミングでスタートパルス V_s (第2図々示——これはドライブクロック ϕ_1 の立下り向期のロウパルスである) を該シフトレジスタ SH に附与すると、第2図に示す様に、該シフトレジスタ SH の出力 $O_1 \sim O_n$ は該ス

11

タートパルス V_s のシフトに依つてドライブクロック ϕ_1, ϕ_2 に同期して順次ロウとなり、これに依りアナログスイッチ $AS_1 \sim AS_n$ が順次オンして行くために各フォトダイオード $D_1 \sim D_n$ に対して電源 V_D より順次充電々流が流れ込んで各フォトダイオード $D_1 \sim D_n$ は再充電され、そしてこの時に各フォトダイオード $D_1 \sim D_n$ に流れ込む充電々流は光の入射に依つて失われた電荷を埋め合わせるもので、該失われた電荷量に、従つて光情報の積分値に対応しているため、第2図に示す様に、この時の充電々流が走査出力として出力端子 OT を通じて得られる訳である。

ここで斯かる構成のライン型MOSイメージセンサにあつては各フォトダイオード $D_1 \sim D_n$ の積分時間と言うものは走査の繰り返し周期、即ち、第2図中に示す、スタートパルス V_s の立下りから次の立下りまでの時間 T に相当するものであり、そしてこれを調整するには従来にあつてはドライブクロック ϕ_1, ϕ_2 の周波数を変化させる様にしていた訳である(即ち、スタート

12

パルス V_s の附与間隔は例えばドライブクロック ϕ_1 の数との関係の下に定められるものであり、従つて、該ドライブクロック ϕ_1 の周波数を変化させれば、自ずとスタートパルス V_s の附与間隔が変化して積分時間 T が変化する訳である) がしかし斯かる調整方法にあつては既に述べた様な不都合があつた訳である。又、これは前には触れなかつたが、特にこのライン型MOSイメージセンサの場合にはドライブクロック ϕ_1 の数に対するスタートパルス V_s の附与のタイミングの関係を変化させることに依つてもその積分時間を変化させることが出来るものであるが、しかし斯かる方法にあつても、積分時間の変化に依り走査信号の出力タイミングが変化してしまうと言つた不都合の外に、その調整可能な時間には特に短時間側に於て大きな限界が存在して、例えば、ドライブクロック ϕ_1 の周期 $\times \frac{n}{2}$ (n はフォトダイオードの数) よりも短かくすることは出来ないと言う様な不都合があつた訳である。

さてそれでは次に本発明の改良を以上に説明

13

した如きライン型MOSイメージセンサに適用した場合の一実施例について説明する。

先ず第3図はこの一実施例の構成を示すもので、第1図示構成との対比から理解される様に第1図示構成に対し、フォトダイオード $D_1 \sim D_n$ の夫々に対応してリセット用ゲートスイッチとしてのMOSアナログスイッチ $AS'_1 \sim AS'_n$ を、その各々のソースを各フォトダイオード $D_1 \sim D_n$ に接続して設けて、そのドレインを、電源 V_D に接続されたリセット用抵抗 R_n に端子 TLR を介して接続して居くと共に、これ等リセット用アナログスイッチ $AS'_1 \sim AS'_n$ の夫々の開閉を制御するためのリセット用アドレス手段としての、上記信号読み出し用シフトレジスタ SH と同様、ロビット構成の2相駆動型MOSシフトレジスタ SH' を上記ドライブクロック ϕ_1, ϕ_2 に依つて駆動し得る様に設けて、該リセット用シフトレジスタ SH' の出力 $O_{r1} \sim O_{rn}$ を夫々各リセット用アナログスイッチ $AS'_1 \sim AS'_n$ のゲートに附与する様にしたものである。

14

即ち、斯かるライン型イメージセンサの構成にあつては、シフトレジスタS_H及びS_Vがドライブクロックφ₁、φ₂に依つて駆動され、そして信号読み出し用シフトレジスタS_Hに対して信号読み出し用スタートパルスV_Sが周期Tで附与されている(即ち、走査が周期Tで繰り返されている)状態で、第4図に示す様に、適宜のタイミングでリセット用シフトレジスタS_Vにリセット用スタートパルスV_R(これは信号読み出し用スタートパルスV_Sと同様、ドライブクロックφ₁の立下り同期のロウパルスである)を附与すると、該リセット用シフトレジスタS_Vの出力O_{R1}~O_{Rn}は第4図に示す様に、該リセット用スタートパルスV_Rのシフトに依つてドライブクロックφ₁、φ₂に同期して順次ロウとなりこれに依りリセット用アナログスイッチAS₁~AS_nが順次オンして行くために各フォトダイオードD₁~D_nに対して電源V₀より順次充電電流が流れ込んで各フォトダイオードD₁~D_nは再充電され、従つてそれまでの蓄積情報が順次消去さ

15

れて行く様になる。そして各アナログスイッチAS₁~AS_nのオンに依る再充電が終了すると、各フォトダイオードD₁~D_nはその後、その夫々の入射光量に応じてその光電荷が再び放電し、そしてその後、信号読み出し用シフトレジスタS_Hに信号読み出し用スタートパルスV_Sが附与されてこの時の該シフトレジスタS_Hの出力O₁~O_nに依り信号読み出し用アナログスイッチAS₁~AS_nが順次オンして行くと、この時、各フォトダイオードD₁~D_nに対して再び充電電流が流れ込み、従つて、既に述べた様にして出力電子O_Tを通して走査出力が時系列的に得られる様になる。従つて、この場合には各フォトダイオードD₁~D_nの積分時間は、第4図中に示す、リセット用スタートパルスV_Rの立下りから次の信号読み出し用スタートパルスV_Sの立下りまでの時間T'となり、結局、斯かる構成のライン型MOSイメージセンサにあつては、リセット用シフトレジスタS_Vに対するドライブクロックφ₁同期のリセット用スタートパルスV_Rの附与

16

タイミングを適宜調整することに依り、その積分時間をドライブクロックφ₁の1周期を単位として該イメージセンサの走査周期Tの範囲内で任意に調整することが出来、そしてこの場合、ドライブクロックφ₁、φ₂の周波数を変えたり、或いはドライブクロックφ₁の数に対する信号読み出し用スタートパルスV_Sの関係を変えたりするものではないから、積分時間T'をいかに変化させようとも走査周期Tは不変であり、且つ又調整可能な時間についても短時間間での限界は全くなく、例えば、ドライブクロックφ₁の1周期分と言う様な極めて短い時間にも調整可能であつて、しかもその場合、信号の読み出し効率の悪化、電源消費量の増大等の不都合を伴うことも全くなく、従つて、従来の積分時間の調整方法に於ける欠点がことごとく解消される様になるものである。

ここで斯かる構成のライン型イメージセンサに適用し得る積分時間の自動制御のための回路例について第5図及び第6図を参照して説明す

17

る。

先ず第5図は、走査を周期Tで繰り返し行なう様な場合に適用し得る2つの例を示すもので先ず同図(a)は、イメージセンサの走査出力のレベルに応じて上記の積分時間T'を自動調整する場合の例であり、同図に於て、1は基準クロックパルスを発生する発振回路、2は該発振回路1からの基準クロックパルスを分周及び波形整形することに依りドライブクロックφ₁、φ₂及び周期Tの信号読み出し用スタートパルスV_Sを作り出すセンサドライバで、該センサドライバ2から出力されるドライブクロックφ₁、φ₂は上記シフトレジスタS_H及びS_Vに、又、信号読み出し用スタートパルスV_Sは信号読み出し用シフトレジスタS_Hに附与される。3は上記イメージセンサからの走査出力(電流)を受けてそのピーク値を電圧値で換出するピーク値換出回路、4は該ピーク値換出回路3の出力電圧をサンプルホールドするためのサンプルホールド回路、5は該サンプルホールド回路4の出力電圧に基

18

づいて、その電圧値に比例的に対応した時間を形成するタイマー回路、6は該タイマー回路5の出力とセンサドライバ2からのドライブクロック ϕ_1 とに基づいて、タイマー回路に依る規定時間の経過直後の該ドライブクロック ϕ_1 の立下りに同期してリセット用スタートパルス V_R を出力するリセット用スタートパルス出力回路で、その出力パルスは上記リセット用シフトレジスタ5Dに附与される。尚、上記ピーク値検出回路3はセンサドライバ2からの信号読み出し用スタートパルス V_R に依りそれまでの検出値をクリアしてその後、再びピーク値の検出を行なう様に制御され、又、サンプルホールド回路4は上記信号読み出し用スタートパルス V_R を受けてこれを時間 $T-r$ (T は走査周期であり、 r はこの T に比べて極めて短い時間である)だけ遅延させる遅延回路7の出力により、上記ピーク値検出回路3のクリアされる直前の出力を取り込んでこれをサンプルホールドする様に制御される。又、上記タイマー回路5は上記信号読

19

の出力電圧に応じた時間を形成する様になる。尚、信号読み出し用スタートパルス V_R が出力されるとピーク値検出回路3は一度クリアされ、そしてその後、再び走査出力のピーク値の検出を開始する様になる。そしてタイマー回路5が作動を開始してサンプルホールド回路4の出力電圧に応じた時間が経過すると、リセット用スタートパルス出力回路6はこの時の該タイマー回路5の出力の変化に依り、該タイマー回路5に依る規定時間の経過直後のドライブクロック ϕ_1 の立下りに同期してリセット用スタートパルス V_R を出力し、これに依り既に述べた様にして各フोटダイオード $D_1 \sim D_n$ のリセット、即ち再充電が行なわれる様になる。尚、リセット用スタートパルス V_R が出力されると、これに依りタイマー回路5がリセットされる様になる。そしてその後、センサドライバ2から再び信号読み出し用スタートパルス V_R が出力されると、既に述べた様にして走査出力の読み出しが行なわれる様になる。尚、この信号読み出し用スタ

21

読み出し用スタートパルス V_R に依りその時間規定動作を開始する一方、上記リセット用スタートパルス V_R に依りリセットされる様になる。

斯かる構成の回路にあつては、先ず、センサドライバ2より信号読み出し用スタートパルス V_R が出力されて、既に述べた様にして走査信号の読み出しが行なわれると、この時、ピーク値検出回路3は、一度クリアされた後、この時に読み出される出力のピーク値を電圧値で検出する様になり、そして上記スタートパルス V_R が出力されて後、時間 $T-r$ が経過すると遅延回路7よりサンプルホールド回路4に対してサンプリングパルスが出力されるために該サンプルホールド回路4はこの時点で該ピーク値検出回路3の出力電圧をサンプルホールドする様になる。そしてこの時点から時間 r が経過して次に再びセンサドライバ2から信号読み出し用スタートパルス V_R が出力されるとこれに依りタイマー回路5が作動を開始してサンプルホールド回路4

20

ートパルス V_R の出力時点よりも時間 r だけ先行してサンプルホールド回路4に依りピーク値検出回路3の出力のサンプルホールドが再び行なわれ、そして該スタートパルス V_R が出力されると、タイマー回路5が再び作動して該サンプルホールド回路4の出力に基づいて時間の規定を開始する様になり、又これと同時に、ピーク値検出回路3は、一度クリアされた後、次いで読み出されて来る走査出力のピーク値の検出を再び開始する様になり、以下、斯かる動作が繰り返される様になる。

従つて、この第5図(4)の回路構成に依れば、信号読み出し用スタートパルス V_R が出力されてから次にリセット用スタートパルス V_R が出力されるまでの時間 $T-r$ が、タイマー回路5に依り、サンプルホールド回路4の出力、即ち、前回得られた走査出力のピーク値に基づいて、ピーク値レベルが高い場合にはより長く、又、低い場合にはより短かく規定されることになり、そしてこの場合、走査周期 T は固定であるから

22

結局、積分時間 T は、前回得られた走査出力のピーク値レベルに応じて、これが高い場合にはより短かく、又、低い場合にはより長く、ドライブクロック ϕ_1 の1周期分を単位として走査周期 T の範囲内で自動的に調整される様になる訳である。

尚、説明が後になつてしまつたが、上記タイマー回路5はその最長の規定時間が T となる様にリミッタが設けられているものである。

次に第5図(b)は、別に設けた測光回路の測光出力に応じて上記の積分時間 T を自動調整する場合の例であり、同図に於て、8はその入射光のレベルに応じた電圧を出力する測光回路で、その出力電圧はサンプルホールド回路4に附与される。尚、ここでは該サンプルホールド回路4はセンサドライバ2から出力される信号読み出し用スタートパルス V_0 に基づいて測光回路8の出力をサンプリングする様に為されている。以上の外は第5図(a)に示した構成と全く同様である。

23

ではドライブクロック ϕ_1 のみを出力する様に為されている。6'は外部から附与されるトリガ信号とセンサドライバ2'からのドライブクロック ϕ_1 とに基づいて、トリガ信号が附与された直後の該ドライブクロック ϕ_1 の立下りに同期してリセット用スタートパルス V_0 を出力するリセット用スタートパルス出力回路、5'は第5図示タイマー回路5とは逆にピーク値検出回路3の出力電圧に反比例的に対応した時間を形成する様に為されたタイマー回路、6''は該タイマー回路5'の出力とセンサドライバ2'からのドライブクロック ϕ_1 とに基づいて、タイマー回路5'に依る規定時間の経過直後の該ドライブクロック ϕ_1 の立下りに同期して信号読み出し用スタートパルス V_0 を出力する信号読み出し用スタートパルス出力回路である。尚、上記タイマー回路5'はリセット用スタートパルス出力回路6'からのリセット用スタートパルス V_0 に反応してその時間規定動作を開始する一方、信号読み出し用スタートパルス出力回路6''からの信号読み出し

25

斯かる回路構成に依れば、上記の時間 $T \sim T'$ 即ち、信号読み出し用スタートパルス V_0 が出力されてから次にリセット用スタートパルス V_0 が出力されるまでの時間は、タイマー回路5に依りサンプルホールド回路4の出力、即ち、この場合には測光回路8の測光出力に応じて、該測光出力のレベルが高い場合にはより長く、又低い場合にはより短かく規定されることになり従つて、積分時間 T' は測光回路8に対する入射光のレベルに応じて、これが高い場合にはより短かく、又、低い場合にはより長く自動調整される様になる訳である。

次に第6図は、走査を一定の周期で連続的に繰り返さずに任意のタイミングで単発的に行なう様な場合に適用し得る2つの例を示すもので先ず、同図(a)は第5図(a)図示例と同じく、イメージセンサの走査出力のレベルに応じて上記の積分時間 T を自動調整する場合の例であり、同図に於て、2'は第5図示例に於けるセンサドライバ2と同様のセンサドライバであるが、こ

24

用スタートパルス V_0 に依つてリセットされる様に為されて居り、又、ピーク値検出回路3は、ここでは信号読み出し用スタートパルス出力回路6'からの信号読み出し用スタートパルス V_0 に依りそれまでの検出値をクリアしてその後、再びピーク値の検出を行なう様に制御される。

斯かる回路構成にあつては、ピーク値検出回路3が前回得られた走査出力のピーク値に応じた電圧を保持している状態で、適宜のタイミングでリセット用スタートパルス出力回路6'にトリガ信号を附与すると、該スタートパルス出力回路6'は、トリガ信号の附与直後のドライブクロック ϕ_1 の立下りに同期してリセット用スタートパルス V_0 を出力し、これに依り既に述べた様にして各フोटダイオード $D_1 \sim D_n$ のリセットが開始される様になる。一方、該スタートパルス出力回路6'からリセット用スタートパルス V_0 が出力されると、これに反応してタイマー回路5'が動作を開始し、そして該タイマー回路5'は、第5図示例の場合とは逆に、この時のビ

26

ーク値検出回路3の出力電圧に反比例的に対応した時間を、即ち、該ピーク値検出回路3の出力電圧が高ければより短い時間を、又、低ければより長い時間を規定する様になる。そしてこの規定時間が経過すると、信号読み出し用スタートパルス出力回路6はこの時の該タイマー回路5の出力の変化に依り、該タイマー回路5に依る規定時間の経過直後のドライブクロックの立下りに同相して信号読み出し用スタートパルス V_0 を出力し、従つて、この時点で既に述べた如くして走査出力の読み出しが開始される様になる。尚、信号読み出し用スタートパルス V_0 が出力されると、これに依りタイマー回路5はリセットされ、又、ピーク値検出回路3は、一度クリアされた後、次いで読み出されて来る走査出力のピーク値の検出を再び開始する様になる。

従つて、この第6図(4)の回路構成に依れば、リセット用スタートパルス V_0 が出力されてから次に信号読み出し用スタートパルス V_0 が出力

27

されるまでの時間、即ち、積分時間 T' は、タイマー回路5に依り、前回得られた走査出力のピーク値に応じて、ピーク値が高い場合にはより短かく、又、低い場合にはより長く自動調整される様になる訳である。

次に第6図(4)は、第5図(4)図示例と同じく、別に設けた測光回路の測光出力に応じて積分時間 T' を自動調整する場合の例であり、図示の如く、第6図(4)図示構成に対し、ピーク値検出回路3に代えて第5図(4)に於ける如き測光回路8及びサンプルホールド回路4が設けられ、そしてここでは該サンプルホールド回路4はリセット用スタートパルス出力回路5からのリセット用スタートパルス V_0 に回答して測光回路8の出力をサンプルホールドする様に制御される。

従つて、斯かる回路構成に依れば、積分時間 T' は、タイマー回路5に依り、測光回路8に対する入射光のレベルに応じて、これが高い場合にはより短かく、又、低い場合にはより長く自動調整される様になる訳である。

28

さてそれでは次に本発明をエリア型MOSイメージセンサに適用した場合について説明する。

先ず第7図は本発明を適用可能な従来周知のエリア型MOSイメージセンサを示すもので、 $D_{11} \sim D_{mn}$ は m 行 n 列のマトリクス状に配列された受光素子としてのフォトダイオード、 $AS_{11} \sim AS_{mn}$ はそのソースが夫々これ等フォトダイオード $D_{11} \sim D_{mn}$ の各々に接続された信号読み出し用ゲートスイッチとしてのMOSアナログスイッチで、そのドレインは、図示の如く各列毎に夫々、信号読み出し用ゲートスイッチとしての列選択用のMOSアナログスイッチ $AS_1 \sim AS_n$ の各ソースに接続されて居り、そして該列選択用アナログスイッチ $AS_1 \sim AS_n$ のドレインはいずれも電源 V_0 に接続された負荷抵抗 R_L に接点 TL を介して接続されている。SHxは該列選択用アナログスイッチ $AS_1 \sim AS_n$ の夫々の開閉を制御するための信号読み出し用のX方向アドレス手段としての n ビット構成のMOSシフトレジスタでその出力 $0x_1 \sim 0x_n$ は夫々該アナログスイッチ AS_1

29

$\sim AS_n$ の各々のコントロールゲートに附与される様に為されている。SHyは上記アナログスイッチ $AS_{11} \sim AS_{mn}$ の各行毎の開閉を制御するための信号読み出し用のY方向アドレス手段としての m ビット構成のMOSシフトレジスタで、その出力 $0y_1 \sim 0y_m$ は図示の如く夫々該アナログスイッチ $AS_{11} \sim AS_{mn}$ のコントロールゲートに、各行毎に、即ち、 $AS_{1j}, AS_{2j}, \dots, AS_{mj}$ ($j=1, 2, \dots, n$)で表わされる各行毎のアナログスイッチの各コントロールゲートに附与される様に為されている。尚、上記X方向シフトレジスタSHx及びY方向シフトレジスタSHyはここでは共に2相駆動型のものであつて、X方向シフトレジスタSHxはX方向用の2相のドライブクロック ϕ_{x1}, ϕ_{x2} (第8図々示)に依つて、又、Y方向シフトレジスタSHyはY方向用の2相のドライブクロック ϕ_{y1}, ϕ_{y2} (第8図々示)に依つて夫々駆動されるものであるが、ここで、Y方向シフトレジスタSHyに対するドライブクロック ϕ_{y1}, ϕ_{y2} はX方向シフトレジスタSHxに対するドラ

30

イブクロック ϕx_1 の立下り同期で、且つ該ドライブクロック ϕx_1 の n 倍の周期（即ち、2ライン走査分の周期）を有するものである。又、X方向シフトレジスタ SHX に対する X 方向用スタートパルス Vxs は第8図に示す様に X 方向用ドライブクロック ϕx_1 の立下り同期のロウパルスで、Y 方向用ドライブクロック $\phi y_1, \phi y_2$ の各立下りの度毎に出力されるものである。

さて斯かる構成のエリア型 MOS イメージセンサにあつては、X 方向シフトレジスタ SHX にドライブクロック $\phi x_1, \phi x_2$ 及びスタートパルス Vxs が、又、Y 方向シフトレジスタ SHY にドライブクロック $\phi y_1, \phi y_2$ が付与されている状態で該 Y 方向シフトレジスタ SHY に Y 方向用スタートパルス Vys （第8図々示——これは Y 方向用ドライブクロック ϕy_1 の立下り同期のロウパルスである）が付与されると、第8図に示す様に該 Y 方向シフトレジスタ SHY の出力 $Oy_1 \sim Oy_m$ は該スタートパルス Vys のシフトに依つてドライブクロック $\phi y_1, \phi y_2$ と同期して順次ロウとなり

31

これに依りアナログスイッチ $AS_{i1} \sim AS_{in}$ は各行毎に、即ち、 $AS_{i1}, AS_{i2}, \dots, AS_{in}$ で表わされる各行のアナログスイッチ毎に順次オンとなつて行く訳であるが、一方、アナログスイッチ $AS_{i1} \sim AS_{in}$ の1つの行がオンとなつている間に、X 方向シフトレジスタ SHX ではスタートパルス Vxs のシフトに依りドライブクロック $\phi x_1, \phi x_2$ と同期してその出力 $Ox_1 \sim Ox_n$ が各1回ずつ順次ロウとなるためにこの間に列選択用アナログスイッチ $AS_{i1} \sim AS_{in}$ は各1回ずつ順次オンとなり、従つて、例えば今、Y 方向シフトレジスタ SHY の出力 Oy_1 のロウに依りアナログスイッチ $AS_{i1} \sim AS_{in}$ がオンしているものとするれば、X 方向シフトレジスタ SHX の出力のシフトに依る列選択用アナログスイッチ $AS_{i1} \sim AS_{in}$ の時系列的な導通に依りフォトダイオード $D_{i1} \sim D_{in}$ のうちの先ず第1行目のもの、即ち、フォトダイオード $D_{i1} \sim D_{in}$ が順次再充電され、従つて、上述のライン型イメージセンサの場合と同様、この時に、第1ラインの走査出力が出力端子 OT を通じて電流とし

32

て時系列に得られる様になる。以下、Y 方向シフトレジスタ SHY の出力のシフトに依るアナログスイッチ $AS_{i1} \sim AS_{in}$ の各行毎の切換えが行なわれる度毎に X 方向シフトレジスタ SHX の出力のシフトに依る列選択用アナログスイッチ $AS_{i1} \sim AS_{in}$ の時系列的な導通に依つてフォトダイオード $D_{i1} \sim D_{in}$ の順分情報が各行毎に時系列的に読み出される様になる訳である。

従つて斯かる構成のエリア型 MOS イメージセンサにあつては各フォトダイオード $D_{i1} \sim D_{in}$ の積分時間は第1図で説明したライン型イメージセンサの場合と同様、走査の繰り返し周期、即ち、第8図中に示す、Y 方向シフトレジスタ SHY に対する Y 方向用スタートパルス Vys の立下りから次の立下りまでの時間 T に相当するものであり、そしてこれを調整するには従来にあつては X 方向用ドライブクロック $\phi x_1, \phi x_2$ の周波数を変化させることに依り Y 方向用ドライブクロック $\phi y_1, \phi y_2$ の周波数を変化せしめ、以つて、Y 方向用スタートパルス Vys の付与間隔 T

33

を変化させる様にしていた訳であるが、斯かる調整方法にあつては既に述べた様な不都合があつた訳である。

さてそれでは次に本発明の改良を以上に説明した如きエリア型 MOS イメージセンサに適用した場合の実施例について説明する。

先ず第9図は一実施例の構成を示すもので、第7図示構成との対比から理解される様に、第7図示構成に対しフォトダイオード $D_{i1} \sim D_{in}$ の夫々に対応してリセット用ゲートスイッチとしての MOS アナログスイッチ $AS'_{i1} \sim AS'_{in}$ を、その各々のソースを各フォトダイオード $D_{i1} \sim D_{in}$ に接続して設けると共に、これ等リセット用アナログスイッチ $AS'_{i1} \sim AS'_{in}$ の列選択のためのリセット用ゲートスイッチとしての、アナログスイッチ $AS_{i1} \sim AS_{in}$ を設けて、該リセット用アナログスイッチ $AS'_{i1} \sim AS'_{in}$ の各ドレインを、各列毎に、該リセット用の列選択用アナログスイッチ $AS_{i1} \sim AS_{in}$ の各ソースに接続する一方、該列選択用アナログスイッチ $AS_{i1} \sim AS_{in}$ のドレ

34

インを、電源 V_D に接続されたリセット用抵抗 R_R に端子 TL_R を介して接続し、そして、該列選択用アナログスイッチ $AS'_1 \sim AS'_n$ を信号読み出し用 X 方向シフトレジスタ SHx の出力 $Ox_1 \sim Ox_n$ に依つて制御する様にする一方、上記リセット用アナログスイッチ $AS'_{11} \sim AS'_{mn}$ の各行毎の開閉を制御するためのリセット用の Y 方向アドレス手段としての、上記信号読み出し用 Y 方向シフトレジスタ SHy と同様、 m ビット構成の2相駆動型 MOS シフトレジスタ $SH'y$ を上記 Y 方向用ドライブクロック $\phi y_1, \phi y_2$ に依つて駆動し得る様にして設けて、該リセット用 Y 方向シフトレジスタ $SH'y$ の出力 $Ory_1 \sim Ory_m$ を図示の如く夫々該リセット用アナログスイッチ $AS'_{11} \sim AS'_{mn}$ のコントロールゲートに、各行毎に、即ち、 $AS'_{1j}, AS'_{2j}, \dots, AS'_{mj}$ ($j = 1, 1, \dots, n$) で表わされる各行毎のリセット用アナログスイッチの各コントロールゲートに附与する様にしたものである。

即ち、斯かるエリア型イメージセンサの構成

35

となり、これに依りリセット用アナログスイッチ $AS'_{11} \sim AS'_{mn}$ が各行毎に、即ち、 $AS'_{1j}, AS'_{2j}, \dots, AS'_{mj}$ で表わされる各行のアナログスイッチ毎にオンとなつて行く訳であるが、一方、該リセット用アナログスイッチ $AS'_{11} \sim AS'_{mn}$ の1つの行がオンとなつている間に、リセット用の列選択用アナログスイッチ $AS'_1 \sim AS'_n$ は信号読み出し用 X 方向シフトレジスタ SHx の出力のシフトに依り各1回ずつ順次オンとなり、従つて、例えば今、リセット用 Y 方向シフトレジスタ $SH'y$ の出力 Ory_1 の Y 方向に依りリセット用アナログスイッチ $AS'_{11} \sim AS'_{1n}$ がオンしているものとすれば、信号読み出し用 X 方向シフトレジスタ SHx の出力のシフトに依る列選択用アナログスイッチ $AS'_1 \sim AS'_n$ の時系列的な導通に依りフォトダイオード $D_{11} \sim D_{mn}$ のうち先ず第1行目のもの、即ち、フォトダイオード $D_{11} \sim D_{1n}$ が順次再充電され、従つて、これ等フォトダイオード $D_{11} \sim D_{1n}$ はそれまでの蓄積情報が順次消去されてリセットされる様になる。以下、リセット用 Y 方

37

にあつては、信号読み出し用 X 方向シフトレジスタ SHx がドライブクロック $\phi x_1, \phi x_2$ に依つて又、信号読み出し用 Y 方向シフトレジスタ SHy 及びリセット用 Y 方向シフトレジスタ $SH'y$ が共にドライブクロック $\phi y_1, \phi y_2$ に依つて駆動され、そして、信号読み出し用 X 方向シフトレジスタ SHx に対して X 方向用スタートパルス V_{xs} が周期 $\frac{T}{2}$ で、又、信号読み出し用 Y 方向シフトレジスタ SHy に対して Y 方向用スタートパルス V_{ys} が周期 T で附与されている(即ち、走査が周期 T で繰り返されている)状態で、第10図に示す様に、適宜のタイミングでリセット用 Y 方向シフトレジスタ $SH'y$ にリセット用スタートパルス V'_{ys} (これは信号読み出し用 Y 方向スタートパルス V_{ys} と同様、 Y 方向用ドライブクロック ϕy_1 の立下り同期のロウパルスである)を附与すると、該リセット用 Y 方向シフトレジスタ $SH'y$ の出力 $Ory_1 \sim Ory_m$ は第10図に示す様に、該リセット用スタートパルス V'_{ys} のシフトに依りドライブクロック $\phi y_1, \phi y_2$ に同期して順次ロウ

36

向シフトレジスタ $SH'y$ の出力のシフトに依りリセット用アナログスイッチ $AS'_{11} \sim AS'_{mn}$ の各行毎の切換えが行なわれる度に、信号読み出し用 X 方向シフトレジスタ SHx の出力のシフトに依る列選択用アナログスイッチ $AS'_1 \sim AS'_n$ の時系列的な導通に依つて各行のフォトダイオードが順次リセットされて行く様になる。そしてその後、信号読み出し用 Y 方向シフトレジスタ SHy に信号読み出し用 Y 方向スタートパルス V_{ys} が附与されると、この時点で既に述べた様にして各フォトダイオード $D_{11} \sim D_{mn}$ の蓄積情報の読み出しがその第1行目のものから開始される様になる。従つて、この場合には各フォトダイオード $D_{11} \sim D_{mn}$ の積分時間は、第10図中に示す、リセット用 Y 方向スタートパルス V'_{ys} の立下りから次の信号読み出し用 Y 方向スタートパルス V_{ys} の立下りまでの時間 T' となり、結局、斯かる構成のエリア型 MOS イメージセンサにあつては、リセット用 Y 方向シフトレジスタ $SH'y$ に対する Y 方向用ドライブクロック ϕy_1 の周期の 8

38

セット用Y方向スタートパルス V_{Y0} の附与タイミングを適宜調整することにより、その積分時間を、Y方向用ドライブクロック ϕ_{Y1} の1周期（即ち、X方向の2回の読み出しの期間）を単位として該イメージセンサの走査周期Tの範囲内で任意に調整出来、そしてこの場合、第3図で説明したライン型イメージセンサに於けると同様の利点が得られるものである。

ここで斯かる構成のエリア型イメージセンサに適用し得る積分時間の自動制御のための回路例について第11図及び第12図を参照して説明する。

先ず第11図は、第3図示ライン型イメージセンサに対する第5図示回路例と同様、走査を周期Tで繰り返す行なり様の場合に適用し得る2つの例を示すもので、先ず、同図(a)は、第5図(a)図示回路例と同様、イメージセンサの走査出力のレベルに応じて上記の積分時間T'を自動調整する場合の例であり、同図に於て、11は基準クロックパルスを発生する発振回路、12

39

は該発振回路11からの基準クロックパルスを分周及び波形整形することによりX方向用ドライブクロック ϕ_{X1} 、 ϕ_{X2} 、X方向スタートパルス V_{X0} 、Y方向用ドライブクロック ϕ_{Y1} 、 ϕ_{Y2} 及び周期Tの信号読み出し用Y方向スタートパルス V_{Y0} を作り出すセンサドライバ、13は上記イメージセンサからの走査出力（電流）を受けてそのピーク値を電圧値で検出するピーク値検出回路、14は該ピーク値検出回路13の出力電圧をサンプルホールドするためのサンプルホールド回路、15は該サンプルホールド回路14の出力電圧に基づいて、その電圧値に比例的に対応した時間を形成するタイマー回路、16は該タイマー回路15の出力とセンサドライバ12からのY方向用ドライブクロック ϕ_{Y1} とに基づいて、タイマー回路15に依る規定時間の経過直後の該ドライブクロック ϕ_{Y1} の立下りに同期してリセット用Y方向シフトレジスタSH'Yに対するリセット用Y方向スタートパルス V_{Y0} を出力するリセット用Y方向スタートパルス出力

40

回路である。尚、上記ピーク値検出回路13はセンサドライバ12からの信号読み出し用Y方向スタートパルス V_{Y0} に依りそれまでの検出値をクリアして、その後再びピーク値の検出を行なう様に制御され、又、サンプルホールド回路14は、上記信号読み出し用Y方向スタートパルス V_{X0} を受けてこれを時間T-T'だけ遅延させる遅延回路17の出力に依り、上記ピーク値検出回路13のクリアされる直前の出力を取り込んでこれをサンプルホールドする様に制御される。又、上記タイマー回路15は上記信号読み出し用Y方向スタートパルス V_{Y0} にตอบสนองしてその時間規定動作を開始する一方、上記リセット用Y方向スタートパルス V_{Y0} に依つてリセットされる様に為されている。

以上の回路構成は第3図示ライン型イメージセンサに対する第5図(a)図示回路例の構成とそのまま対応するものであり、従つて、この第11図(a)の回路構成に依れば、第5図(a)図示回路例についての説明から理解される様に、信号読み

41

出し用Y方向スタートパルス V_{Y0} が出力されてから次にリセット用Y方向スタートパルス V_{Y0} が出力されるまでの時間T-T'が、タイマー回路15に依り、サンプルホールド回路14の出力、即ち、前回得られた走査出力のピーク値に基づいて、ピーク値レベルが高い場合にはより長く、又、低い場合にはより短かく規定されることになり、そしてこの場合、走査周期Tは固定であるから、結局、積分時間T'は、前回得られた走査出力のピーク値レベルに応じて、これが高い場合にはより短かく、又、低い場合にはより長く、Y方向用ドライブクロック ϕ_{Y1} の1周期分を単位として走査周期Tの範囲内で自動的に調整される様になる訳である。

尚、この場合にも、上記タイマー回路15はその成長の規定時間がTとなる様にリミッタが設けられているものである。

次に第11図(b)は、第5図(b)図示回路例と同様、別に設けた測光回路の測光出力に応じて上記の積分時間T'を自動調整する場合の例であり、

42

同図に於て、18はその入射光のレベルに応じて電圧を出力する測光回路で、その出力電圧はサンプルホールド回路14に附与される。尚、ここでは該サンプルホールド回路14はセンサドライバ12から出力される信号読み出し用Y方向スタートパルス V_{ys} に基づいて測光回路18の出力をサンプリングする様に為されている。以上の外は第11図(a)に示した構成と全く同様である。

斯かる回路構成は第3図示ライン型イメージセンサに対する第5図(a)図示回路例の構成とそのまま対応するものであり、従つて、この第11図(a)の回路構成に依れば、第5図(a)図示回路例についての説明から理解される様に、上記の時間 $T-T'$ 、即ち、信号読み出し用Y方向スタートパルス V_{ys} が出力されてから次にリセット用Y方向スタートパルス V_{ys} が出力されるまでの時間は、タイマー回路15に依り、サンプルホールド回路14の出力、即ち、この場合には測光回路18の測光出力に応じて、該測光出力の

43

れている。16'は外部から附与されるトリガ信号とセンサドライバ12'からのY方向用ドライブクロック ϕ_{Y1} とに基づいて、トリガ信号が附与された直後の該ドライブクロック ϕ_{Y1} の立下りに同期して上記リセット用Y方向スタートパルス V_{ys} を出力するリセット用Y方向スタートパルス出力回路、15'は第11図示タイマー回路15とは逆にピーク値検出回路13の出力電圧に反比例的に対応した時間を形成する様に為されたタイマー回路、16'は該タイマー回路15'の出力とセンサドライバ12'からのY方向用ドライブクロック ϕ_{Y1} とに基づいて、該タイマー回路15'に依る規定時間の経過直後の該ドライブクロック ϕ_{Y1} の立下りに同期して信号読み出し用Y方向スタートパルス V_{ys} を出力する信号読み出し用Y方向スタートパルス出力回路である。尚、上記タイマー回路15'はリセット用Y方向スタートパルス V_{ys} に基づいてその時間規定動作を開始する一方、信号読み出し用Y方向スタートパルス出力回路16'からの信号読み出し

45

レベルが高い場合にはより長く、又、低い場合にはより短かく規定されることになり、結局、積分時間 T' は測光回路18に対する入射光のレベルに応じて、これが高い場合にはより短かく又、低い場合にはより長く、自動調整される様になる訳である。

次に第12図は、第3図示ライン型イメージセンサに対する第6図示回路例と同様、走査を一定の周期で連続的に繰り返さずに任意のタイミングで単発的に行なう様な場合に適用し得る2つの例を示すもので、先ず同図(a)は、第6図(a)図示例と同じく、イメージセンサの走査出力のレベルに応じて上記の積分時間 T' を自動調整する場合の例であり、同図に於て、12'は第11図示例に於けるセンサドライバ12と同様のセンサドライバであるが、ここでは信号読み出し用Y方向スタートパルス V_{ys} を除く他のパルス信号、即ち、X方向用ドライブクロック ϕ_{X1} 、 ϕ_{X2} 、X方向スタートパルス V_{xs} 及びY方向用ドライブクロック ϕ_{Y1} 、 ϕ_{Y2} を出力する様に為さ

44

し用Y方向スタートパルス V_{ys} に依つてリセットされる様に為されて居り、又、ピーク値検出回路13は、ここでは、信号読み出し用Y方向スタートパルス出力回路16'からの信号読み出し用Y方向スタートパルス V_{ys} に依りそれまでの検出値をクリアしてその後再びピーク値の検出を行なう様に為されている。

斯かる回路構成は、第3図示ライン型イメージセンサに対する第6図(a)図示回路例の構成とそのまま対応するものであり、従つて、この第12図(a)の回路構成に依れば、第6図(a)図示回路例についての説明から理解される様に、リセット用Y方向スタートパルス V_{ys} が出力されてから次に信号読み出し用Y方向スタートパルス V_{ys} が出力されるまでの時間即ち、積分時間 T' は、タイマー回路15'に依り、前回得られた走査出力のピーク値に応じて、これが高い場合にはより短かく、又、低い場合にはより長く、自動調整される様になる訳である。

又、第12図(b)は、第6図(b)図示例と同じく

46

別に設けた測光回路の測光出力に応じて積分時間 T を自動調整する場合の例であり、図示の如く、第12図例図示構成に対し、ピーク値検出回路13に代えて第11図例に於ける如き測光回路18及びサンプルホールド回路14が設けられ、そしてここでは該サンプルホールド回路14は、リセット用 Y 方向スタートパルス $V'ys$ からのリセット用 Y 方向スタートパルス $V'ys$ にตอบสนองして測光回路18の出力をサンプルホールドする様に行なわれている。

従つて、斯かる回路構成に依れば、積分時間 T は、タイマー回路15に依り、測光回路18に対する入射光のレベルに応じて、これが高い場合にはより短かく、又、低い場合にはより長く、自動調整される様になる訳である。

次に第13図は、本発明の改良をエリア型MOSイメージセンサに適用した場合の他の実施例を示すもので、これは、第9図示例との対比から理解される様に、第9図示構成に対し、上記のリセット用の列選択用アナログスイッチ $AS'_1 \sim AS'_{mn}$

47

トパルス $V'xs$ を、又、リセット用 Y 方向シフトレジスタ $SH'Y$ に対しリセット用 Y 方向ドライブクロック $\phi'Y_1, \phi'Y_2$ 及びリセット用 Y 方向スタートパルス $V'ys$ を附与したとすると、この時点で、リセット用アナログスイッチ $AS'_1 \sim AS'_{mn}$ 及び $AS'_1 \sim AS'_n$ が既に述べた様にして開閉させられて各フोटダイオード $D_1 \sim D_{mn}$ のリセットが順次行なわれる様になり、従つて、この場合には、リセット用シフトレジスタ $SH'X$ 及び $SH'Y$ にリセット用ドライブクロック $\phi'X_1, \phi'X_2; \phi'Y_1, \phi'Y_2$ 及びリセット用スタートパルス $V'xs; V'ys$ を附与するタイミングを変えることに依りフोटダイオード $D_1 \sim D_{mn}$ の積分時間 T を変化させることが出来る訳であるが、特にこの場合にはリセット用シフトレジスタ $SH'X$ 及び $SH'Y$ を信号読み出し用シフトレジスタ SHX 及び SHY とは全く独立して動作させて各フोटダイオード $D_1 \sim D_{mn}$ のリセットを行ない得るものであるから、第9図示例の場合とは異なつて、積分時間 T を信号読み出し用 Y 方向ドライブクロック $\phi'Y_1$ の

49

$\sim AS'_n$ の開閉を制御するためのリセット用の X 方向アドレス手段としての、上記信号読み出し用 X 方向シフトレジスタ SHX と同様、 n ビット構成の2相駆動型MOSシフトレジスタ $SH'X$ の各出力 $ORX_1 \sim ORX_n$ を夫々リセット用の列選択用アナログスイッチ $AS'_1 \sim AS'_n$ の各コントロールゲートに附与する様にして居くと共に、該リセット用 X 方向シフトレジスタ $SH'X$ 及びリセット用 Y 方向シフトレジスタ $SH'Y$ に対し、夫々、信号読み出し用ドライブクロック $\phi'X_1, \phi'X_2; \phi'Y_1, \phi'Y_2$ 及び信号読み出し用スタートパルス $V'xs; V'ys$ とは別のリセット用ドライブクロック $\phi'X'_1, \phi'X'_2; \phi'Y'_1, \phi'Y'_2$ 及びリセット用スタートパルス $V'xs'; V'ys'$ を附与し得る様にしたものである。

即ち、斯かるエリア型イメージセンサの構成にあつては、例えば、今、走査出力の読み出しが周期 T で繰り返し行なわれている状態で、適宜のタイミングで、リセット用 X 方向シフトレジスタ $SH'X$ に対しリセット用 X 方向ドライブクロック $\phi'X'_1, \phi'X'_2$ 及びリセット用 X 方向スター

48

周期とは全く無関係に更に細かく調整することが可能になるものである。

尚、この場合、リセット用シフトレジスタ $SH'X$ 及び $SH'Y$ に対するリセット用ドライブクロック $\phi'X'_1, \phi'X'_2; \phi'Y'_1, \phi'Y'_2$ 及びリセット用スタートパルス $V'xs'; V'ys'$ の各タイミング関係は、信号読み出し用シフトレジスタ SHX 及び SHY に対する信号読み出し用ドライブクロック $\phi'X_1, \phi'X_2; \phi'Y_1, \phi'Y_2$ 及び信号読み出し用スタートパルス $V'xs; V'ys$ のそれと同一のものであり、又、リセット用 X 方向ドライブクロック $\phi'X'_1, \phi'X'_2$ の周波数は信号読み出し用 X 方向ドライブクロック $\phi'X_1, \phi'X_2$ のそれと同一のものである。

ここで斯かる構成のエリア型イメージセンサに適用し得る積分時間の自動制御のための回路例について第14図及び第15図を参照して説明する。

先ず第14図は、第9図示エリア型イメージセンサに対する第11図示回路例と同様、走査を周期 T で繰り返し行なう様な場合に適用し得

50

る2つの例を示すもので、先ず同図(4)は、第11図(4)図示例と同じく、イメージセンサの走査出力のレベルに応じて上記の積分時間 T' を自動調整する場合の例であり、同図に於て、19はトリガ信号を附与されることに依り、これに回答して発振回路11からの基準クロックパルスに基づいて、上記リセット用シフトレジスタ SHx 及び SHy に対するリセット用ドライブクロック ϕx_1 , ϕx_2 ; ϕy_1 , ϕy_2 及びリセット用スタートパルス Vxs ; Vys の出力を開始する様に為されたりセット用センサドライバ、20はタイマー回路15の出力に基づいて、該タイマー回路15に依る規定時間の経過と共にトリガ信号を出力する様に為されたトリガ回路で、上記リセット用センサドライバ19は該トリガ回路20から出力されるトリガ信号に依つてトリガされる様に為されている。以上の外は第11図(4)図示回路例と全く同様の構成である。

斯かる回路構成に依れば、信号読み出し用センサドライバ12から信号読み出し用Y方向ス

51

ット用センサドライバ19がトリガ回路20に依つてトリガされるまでの時間が、タイマー回路15に依り、サンプルホールド回路14の出力即ち、この場合には測光回路18の測光出力に応じて、該測光出力のレベルが高い場合にはより長く、又、低い場合にはより短かく規定されるため、結局、積分時間 T' は測光回路18に対する入射光のレベルに応じて、これが高い場合にはより短かく、又、低い場合にはより長く、自動調整される様になる訳である。

次に第15図は、第9図示エリア型イメージセンサに対する第12図示回路例と同様、走査を一定の周期で連続的に繰り返さずに任意のタイミングで単発的に行なう様な場合に適用し得る2つの例を示すもので、先ず同図(4)は、第12図(4)図示例と同じく、イメージセンサの走査出力のレベルに基づいて積分時間 T' を自動調整する場合の例であり、同図に於て、12は上記信号読み出し用センサドライバ12と同様のセンサドライバであるが、ここでは、上記トリガ回

53

ートパルス Vys が出力されて後、リセット用センサドライバ19がトリガ回路20に依つてトリガされるまでの時間が、タイマー回路15に依り、サンプルホールド回路14の出力、即ち、前回得られた走査出力のピーク値に基づいて、ピーク値レベルが高い場合にはより長く、又、低い場合にはより短かく規定されるため、結局、積分時間 T' は、前回得られた走査出力のピーク値レベルが高い場合にはより短かく、又低い場合にはより長く、走査周期 T の範囲内で自動調整される様になる訳である。

又、第14図(4)は、第11図(4)図示例と同じく、別に設けた測光回路の測光出力に応じて積分時間 T' を自動調整する場合の例であり、同図中、第11図(4)及び第14図(4)に於けると同一符号で示される回路ブロックは既述と全く同様のものである。

即ち、斯かる回路構成に依れば、信号読み出し用センサドライバ12から信号読み出し用Y方向スタートパルス Vys が出力されて後、リセ

52

路20からのトリガ信号を附与されることに依り、これに回答して、発振回路11からの基準クロックパルスに基づいて、信号読み出し用シフトレジスタ SHx 及び SHy に対する信号読み出し用ドライブクロック ϕx_1 , ϕx_2 ; ϕy_1 , ϕy_2 及び信号読み出し用スタートパルス Vxs ; Vys の出力を開始する様に為されている。又、ここではリセット用センサドライバ19は外部からのトリガ信号に回答して上記リセット用ドライブクロック ϕx_1 , ϕx_2 ; ϕy_1 , ϕy_2 及びリセット用スタートパルス Vxs ; Vys の出力を開始する様に為されている。以上の外は第12図(4)図示回路例の場合と全く同様の構成である。

即ち、斯かる回路構成に依れば、リセット用センサドライバ19が外部からのトリガ信号に依つてトリガされた後、信号読み出し用センサドライバ12がトリガ回路20に依つてトリガされるまでの時間が、タイマー回路15に依り、前回得られた走査出力のピーク値レベルに応じて、これが高い場合にはより短かく、又、低い

54

場合にはより長く規定されるため、結局、積分時間 T_i は、前回得られた走査出力のピーク値レベルに応じて、これが高い場合にはより短かく、又、低い場合にはより長く、自動調整される様になる訳である。

又、第15図(b)は、第12図(b)図示例と同じく、別に設けた測光回路の測光出力に応じて積分時間 T_i を自動調整する場合の例であり、同図中、第12図(a)及び第15図(a)に於けると同一符号で示される回路ブロックは既述と全く同様のものである。

即ち、斯かる回路構成に依れば、リセット用センサドライバ19が外部からのトリガ信号に依つてトリガされた後、信号読み出し用センサドライバ12がトリガ回路20に依つてトリガされるまでの時間が、タイマー回路15に依りサンプルホールド回路14の出力、即ち、この場合には測光回路18の測光出力に応じて、これが高い場合にはより短かく、又、低い場合にはより長く規定されるため、結局、積分時間 T_i

55

は、測光回路18に対する入射光のレベルに応じて、これが高い場合にはより短かく、低い場合にはより長く、自動調整される様になる訳である。

さて、以上に説明した様に、本発明は、複数の受光素子の配列を有し、各受光素子の積分情報を信号読み出し用アドレス手段に依る信号読み出し用ゲートスイッチの制御に依つて時系列的に読み出す様にしたMOSイメージセンサとして、上記受光素子の夫々に対応して、リセット源に接続されたリセット用ゲートスイッチを設けると共に、該リセット用ゲートスイッチを制御するためのリセット用アドレス手段を設けて、該リセット用アドレス手段又はこれと上記信号読み出し用アドレス手段との共働に依る該リセット用ゲートスイッチの制御に依つて任意のタイミングで各受光素子のリセットを行ない得る様にしたもので、これに依れば、MOSイメージセンサとして、その光情報の積分時間を初めに述べた様な従来に於ける不都合を伴うこ

56

となしに、即ち、時に短時間側に於て限界を有することなく、いくらでも短縮することが出来、しかも、その場合、信号の読み出し効率の悪化、電源消費量の増大等の不都合を伴うこともなく、又、一方で、長時間側への調整についても、例えばこれをTVカメラ等の撮像手段に利用した場合でも、1フィールド時間又は1フレーム時間の範囲内で任意に調整出来、又、これと共に走査信号の出力時間を何等変化させることなく調整出来、総じて、走査出力に何等悪影響を及ぼすことなしに、積分時間を広い時間帯に亘つて任意に、しかも簡単に調整することが出来、従つて、この種、MOSイメージセンサとして非常に有益なものである。

4. 図面の簡単な説明

第1図は、本発明を適用し得るライン型MOSイメージセンサの概略構成を示す模式図、

第2図は、第1図示ライン型イメージセンサの動作を示すタイミングチャート、

57

第3図は、本発明を第1図に示した如きライン型イメージセンサに適用した場合の一実施例の概略構成を示す模式図、

第4図は、第3図示ライン型イメージセンサの動作の一例を示すタイミングチャート、

第5図及び第6図は、第3図示ライン型イメージセンサに適用し得る積分時間の自動制御のための回路例を示すブロックダイアグラム、

第7図は、本発明を適用し得るエリア型MOSイメージセンサの概略構成を示す模式図、

第8図は、第7図示エリア型イメージセンサの動作を示すタイミングチャート、

第9図は、本発明を第7図に示した如きエリア型イメージセンサに適用した場合の一実施例の概略構成を示す模式図、

第10図は、第9図示エリア型イメージセンサの動作の一例を示すタイミングチャート、

第11図及び第12図は、第9図示エリア型イメージセンサに適用し得る積分時間の自動制御のための回路例を示すブロックダイアグラム、

58

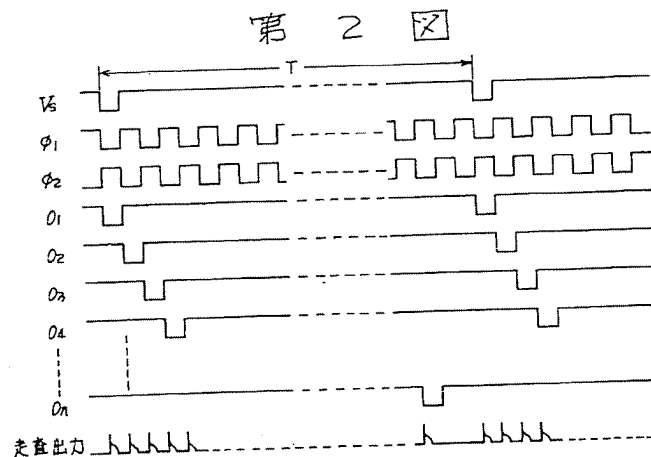
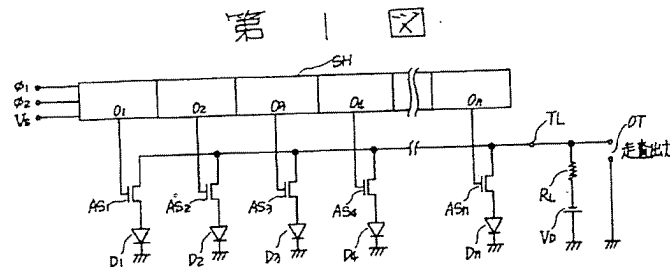
第13図は、本発明を第7図に示した如きエリア型イメージセンサに適用した場合の他の実施例の概略構成を示す模式図、

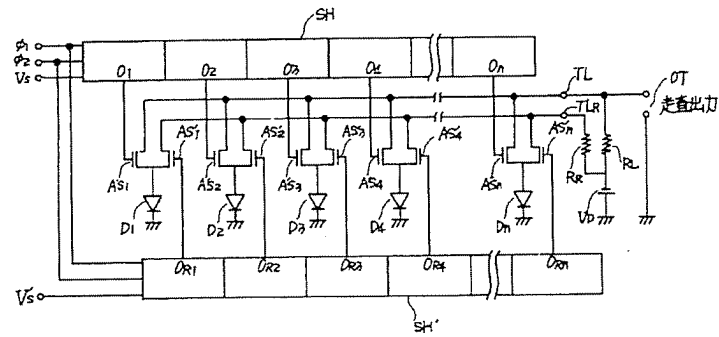
第14図及び第15図は、第13図示エリア型イメージセンサに適用し得る積分時間の自動制御のための回路例を示すブロックダイアグラムである。

$D_1 \sim D_n; D_{11} \sim D_{mn} \dots$ 受光素子、 $AS_1 \sim AS_n; AS_{11} \sim AS_{mn}, AS_1 \sim AS_n \dots$ 信号読み出し用ゲートスイッチ、 $SH; SH_x, SH_y \dots$ 信号読み出し用アドレス手段、 $AS'_1 \sim AS'_n; AS'_{11} \sim AS'_{mn}, AS'_1 \sim AS'_n \dots$ リセット用ゲートスイッチ、 $SH'_x; SH'_y; SH'_x, SH'_y \dots$ リセット用アドレス手段、 $R_n, V_D \dots$ リセット源。

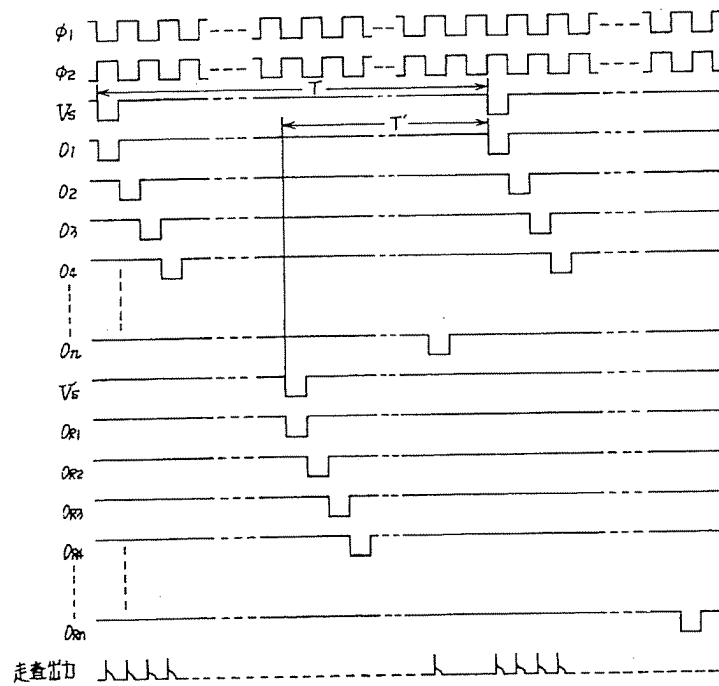
特許出願人 キヤノン株式会社
代理人 丸 島 歳

59

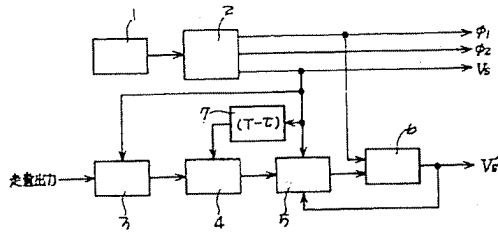




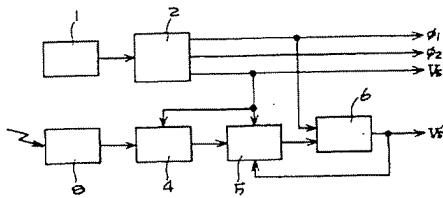
第 4 页



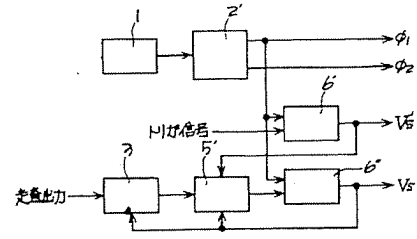
第 5 図
(a)



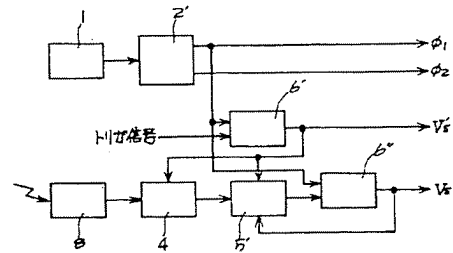
(b)



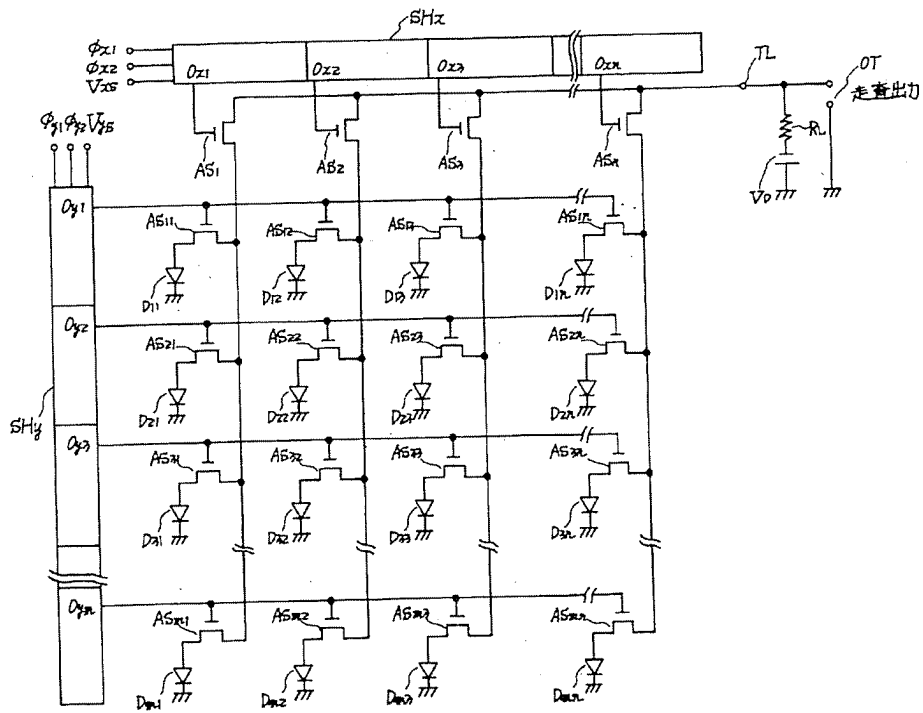
第 6 図
(a)



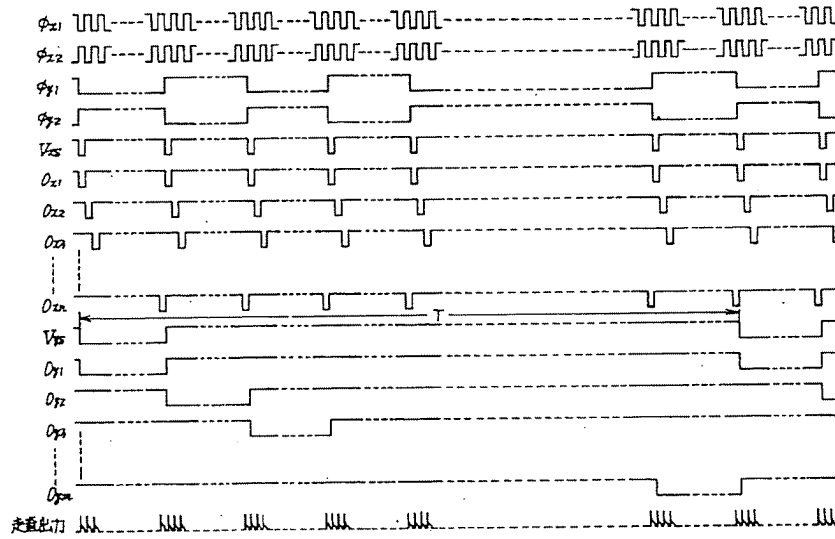
(b)



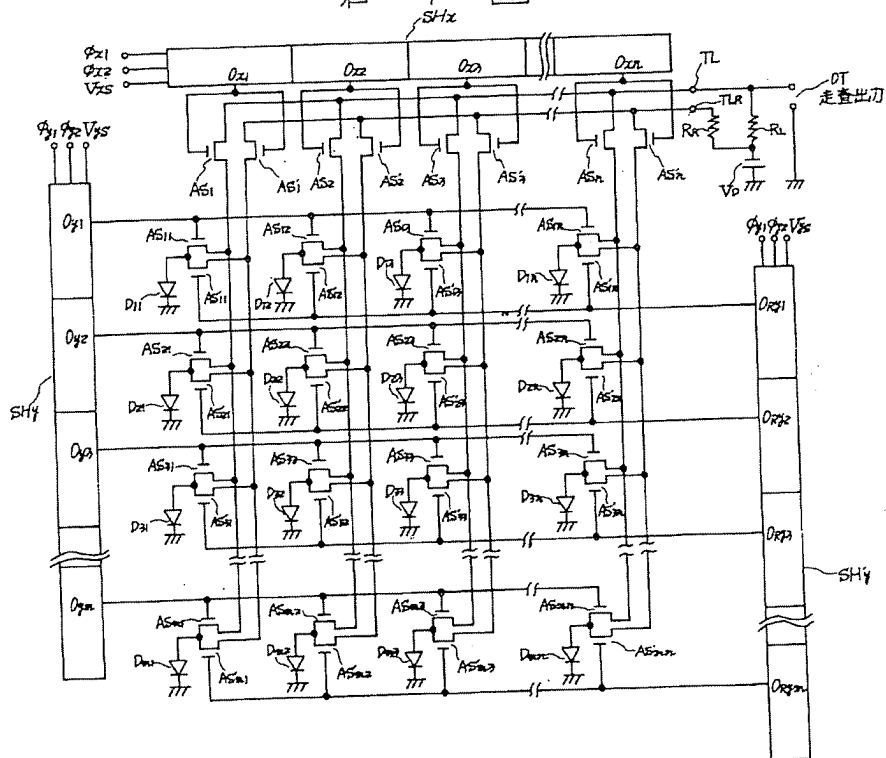
第 7 図



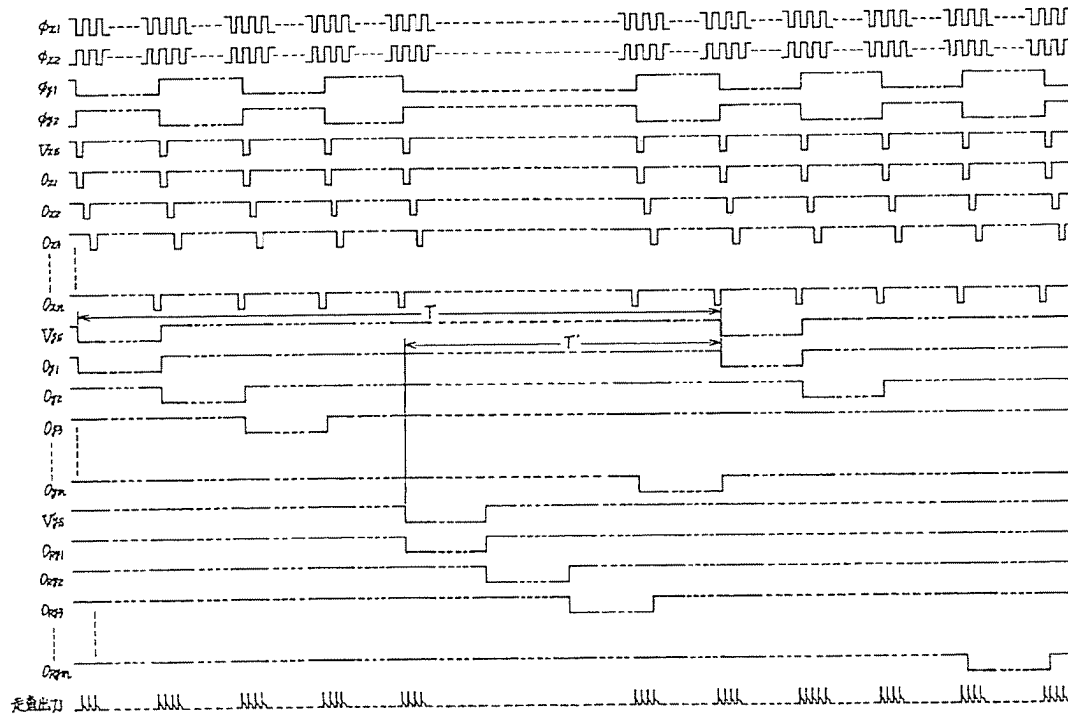
第 8 図



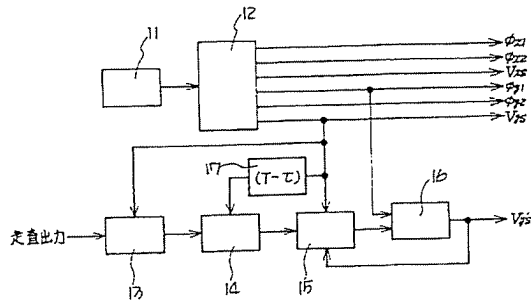
第 9 図



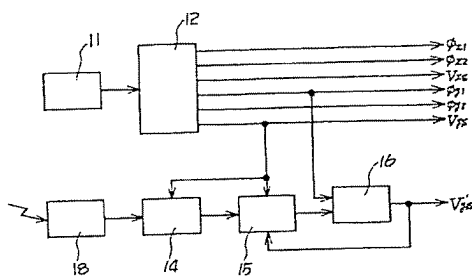
第 10 図



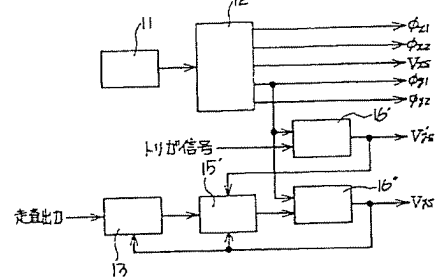
第 11 図
(a)



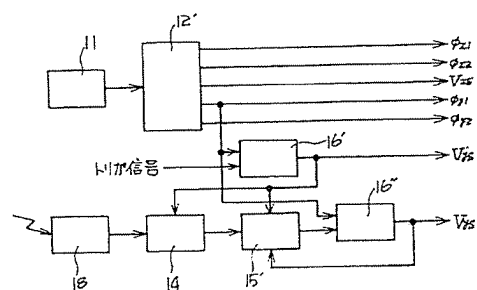
(b)



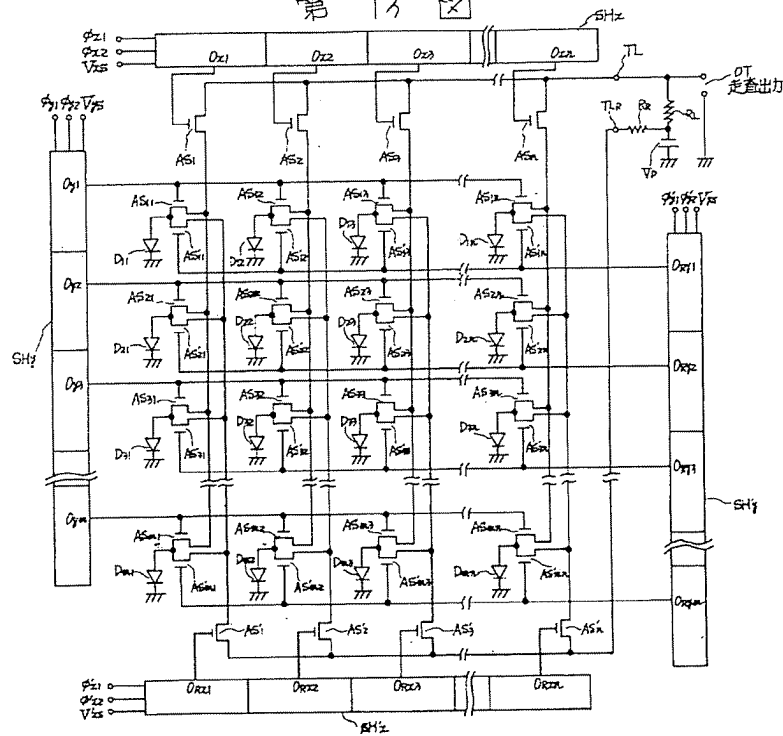
第 12 図
(a)



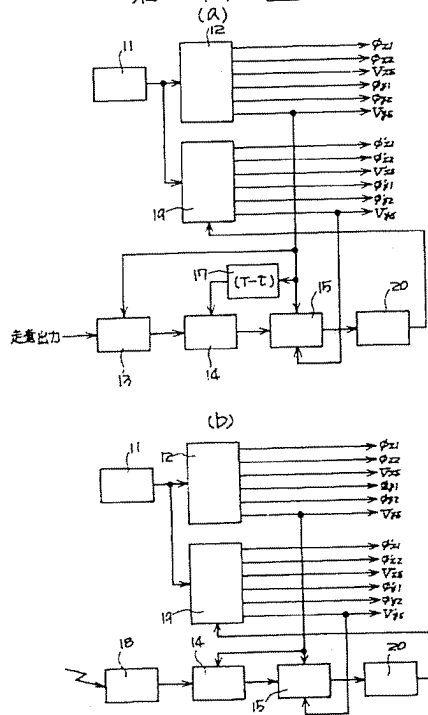
(b)



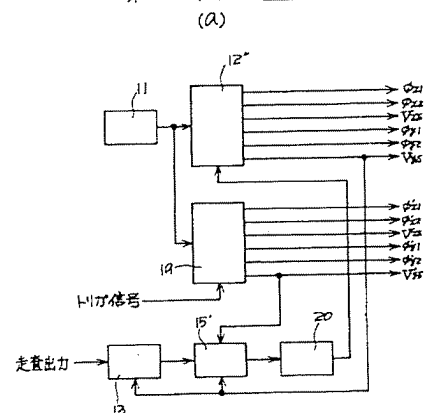
第 13 図



第 14 図



第 15 図



第 15 図
(b)

